

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224161

(43)Date of publication of application : 12.08.1994

(51)Int.Cl. H01L 21/302
C23F 1/00
H01L 21/3205

(21)Application number : 05-262551 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 20.10.1993 (72)Inventor : IKEDA NORIHIRO

(30)Priority

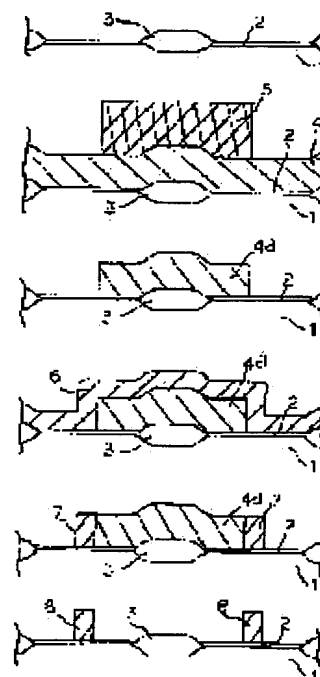
Priority number : 04295101 Priority date : 04.11.1992 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form a wiring or a mask pattern of very fine width which surpasses the limit of photolithography technique.

CONSTITUTION: A side wall 7 of polycrystalline silicon film 6 is formed on an island 4a of silicon nitride film 4, and then the island 4a is removed, whereby only the side wall 7 is left unremoved, and the side wall 7 can be made to serve as a wiring. The wire width of a wiring is the width of a side wall or determined basing on the thickness of a wiring layer, so that the wire width of a wiring passing the limits of a lithography technique can be realized. The same as above, a side wall of silicon nitride film is formed on an island of certain material different from those of a doped polycrystalline silicon film and a mask pattern, and then the island is removed, whereby a mask pattern whose line width passes the limit of a lithography technique can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 2 4 1 6 1

(43) 公開日 平成6年(1994)8月12日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H O 1 L 21/302	J	9277-4 M		
C 2 3 F 1/00	1 0 2	8414-4 K		
H O 1 L 21/3205		7514-4 M	H O 1 L 21/88	P
		7514-4 M		A
	審査請求	未請求	請求項の数 3	O L (全 5 頁)

(21) 出願番号 特願平 5 - 2 6 2 5 5 1

(22) 出願日 平成5年(1993)10月20日

(31) 優先権主張番号 特願平 4 - 2 9 5 1 0 1

(32) 優先日 平 4 (1 9 9 2) 1 1 月 4 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 池田 典弘

大阪府守口市京阪本通2丁目5番5号 三洋
電機株式会社内

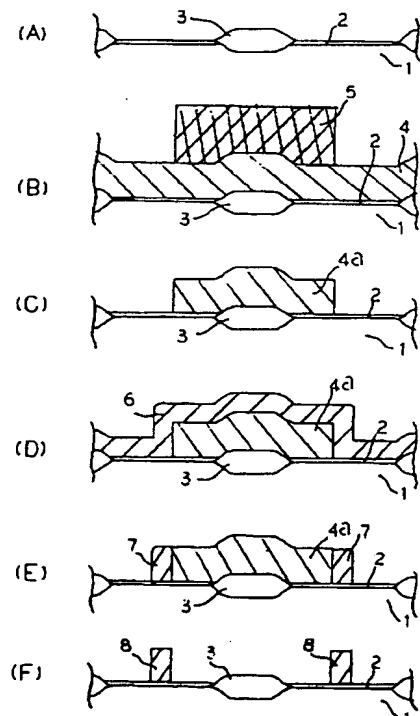
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 光リソグラフィ技術の限界を越えた微細幅の配線又はマスクパターンを形成すること。

【構成】 シリコン窒化膜 4 からなる島形状部 4 a に、多結晶シリコン膜 6 からなる側壁 7 を形成した後に、島形状部 4 a を除去すれば、側壁 7 だけが残る、これを配線として使用できる。配線の線幅は側壁の幅、即ち、配線層の厚みによって決定されるので、リソグラフィ以下の寸法も可能となる。同様に、ドーパされた多結晶シリコン膜及びマスクパターンとは異なる材料からなる島形状部に、シリコン窒化膜からなる側壁を形成した後に、島形状部を除去すれば、リソグラフィ以下の寸法も可能なマスクパターンが形成される。



【特許請求の範囲】

【請求項1】 半導体基板上に配線を形成するものであって、半導体基板上に前記配線とは異なる材料からなる層を形成し、パターンニングを行って、所定の島形状に加工する工程と、この島形状部の上に前記配線となる層を形成する工程と、この配線となる層をエッチバック処理して前記島形状部に側壁を形成する工程と、前記島形状部を除去する工程とを行うことを特徴とした半導体装置の製造方法。

【請求項2】 半導体基板上にマスクパターンを形成するものであって、半導体基板上の被エッチング領域上に、この被エッチング領域及び前記マスクパターンとは異なる材料からなる層を形成し、パターンニングを行って所定の島形状に加工する工程と、この島形状部の上に前記マスクパターンとなる層を形成する工程と、このマスクパターンとなる層をエッチバック処理して前記島形状部に側壁を形成する工程と、前記島形状部を除去する工程とを行うことを特徴とした半導体装置の製造方法。

【請求項3】 前記被エッチング領域を配線材料で構成し、前記側壁として残ったマスクパターンをマスクとしてエッチングを行い、前記被エッチング領域を配線として加工することを特徴とした請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置において、微細幅の配線やマスクパターンを形成する技術に関する。

【0002】

【従来の技術】 従来より、半導体装置において配線の形成には光リソグラフィ技術が用いられている。例えば、半導体基板上に化学増感型の電離放射線レジストを形成した後、所定のパターンの露光を行い、露光後のベークの際にレジスト表面を強制的にベークし、その後現像するようにして高精度のパターンを得ることが特開平3-101218号公報（H01L21/027）に示されている。

【0003】

【発明が解決しようとする課題】 従来例のような光リソグラフィ技術にあっては、近年、要求される素子の最小線幅が、転写に用いられている光の波長と同等になってきたために、その寸法に限界が生じてきた。例えば、現在開発が進められている64MDRAMでは、i線（波長：0.365 μ m）が光源として用いられる可能性が高いが、このi線を用いた場合、最小線幅は0.35 μ m～0.4 μ mが限度である。

【0004】 本発明は半導体装置の製造方法に関し、リソグラフィの限界を越えた配線又はマスクパターンを形成することを目的とする。

【0005】

【課題を解決するための手段】 第1の本発明における半導体装置の製造方法は、半導体基板上に配線を形成するものであって、半導体基板上に前記配線とは異なる材料からなる層を形成し、パターンニングを行う工程と、このパターン上に前記配線となる層を形成する工程と、この配線となる層をエッチバック処理して前記パターンのライン部に側壁を形成する工程と、前記異なる材料を除去する工程とを行うものである。

【0006】 また、第2の本発明における半導体装置の製造方法は、半導体基板上にマスクパターンを形成するものであって、半導体基板上の被エッチング領域上に、この被エッチング領域及び前記マスクパターンとは異なる材料からなる層を形成し、パターンニングを行って所定の島形状に加工する工程と、この島形状部の上に前記マスクパターンとなる層を形成する工程と、このマスクパターンとなる層をエッチバック処理して前記島形状部に側壁を形成する工程と、前記島形状部を除去する工程とを行うものである。

【0007】 また、第3の本発明における半導体装置の製造方法は、前記被エッチング領域を配線材料で構成し、前記側壁として残ったマスクパターンをマスクとしてエッチングを行い、前記被エッチング領域を配線として加工するものである。配線材料としては、それ自体導電性を有する物質又は不純物をドーピングすることにより導電性を有する物質のいずれでもよく、例えば、LSI技術で用いられるものとしては、多結晶シリコン、単結晶シリコン、アルミニウム、タングステン、チタン、クロム、ニッケル、鉄、銅、金、銀、白金、これらの合金、又はこれらとシリコンとの化合物等の導電性材料が用いられる。

【0008】 配線材料と異なる材料としては、シリコン酸化物、シリコン窒化物、多結晶シリコン、アルミニウム合金等、絶縁物でも導電物でもどちらでもよい。マスクパターンの材料としては、被エッチング領域の材料と異なっていれば、導電性、絶縁性等については問わない。

【0009】

【作用】 即ち、配線材料と異なる材料からなる島形状部に、配線材料からなる側壁を形成した後に、島形状部を除去すれば、側壁だけが残り、これを配線として使用できる。配線の線幅は側壁の幅、即ち、配線層の厚みによって決定されるので、リソグラフィ以下の寸法も可能となる。

【0010】 同様に、被エッチング領域及びマスクパターンとは異なる材料からなる島形状部に、マスクパターン材料からなる側壁を形成した後に、島形状部を除去すれば、リソグラフィ以下の寸法も可能なマスクパターンが形成される。更に、被エッチング領域を、配線材料により形成すれば、マスクパターンをマスクとしてエッチングすることにより、リソグラフィ以下の幅の配線を得

ることができる。

【0011】

【実施例】本発明の第1の実施例を図1に基づいて説明する。図1は本発明による半導体装置の製造プロセスを順次示した断面図である。

工程1：半導体基板1上に、熱酸化法やCVD法等によりシリコン酸化膜2を形成すると共に、局所酸化法（LOCOS）によりフィールド酸化膜3を形成する（図1A）。

【0012】工程2：シリコン酸化膜3に対しエッチング選択比の高いシリコン窒化膜4をCVD法により0.2 μ m堆積させ、リソグラフィ技術、マスク露光、現像等の作業を経て、レジスト5のパターニングを施す。この時、前記パターンのライン部を前記フィールド酸化膜3の上部に位置させ且つその幅を酸化膜3よりも大きく設定しておく（即ち、パターンのライン部が酸化膜3を跨ぐように形成する、但し、所望のライン部のみでよい）（図1B）。

【0013】工程3：レジスト5をマスクとして、RIE法により前記シリコン窒化膜4をエッチングした後、酸素プラズマアッシングや熱硫酸を用いたウェット処理等によりレジストを除去し、前記シリコン窒化膜4を島形状に加工する（以下、島形状部4aという）。この島形状部4aは当然前記レジスト5のライン部と同じ幅を有する（図1C）。

【0014】工程4：シリコン酸化膜2及び島形状部4aの上に、減圧CVD法により多結晶シリコン膜6を0.1 μ m堆積させる。（図1D）

工程5：RIE法によりこの多結晶シリコン膜6をエッチバック処理し、前記島形状部4aに、多結晶シリコン材からなる幅0.1 μ mの側壁7を形成する（図1E）。

【0015】工程6：ケミカルドライエッチング（CDE）や熱燐酸を用いたウェット処理等により前記島形状部4a（シリコン窒化膜4）を除去すると、前記シリコン酸化膜2上に多結晶シリコン材からなる幅0.1 μ mのゲート電極パターン8が形成される（図1F）。

尚、前記多結晶シリコン6（7、8）に導電性を与えるには、よく知られている通り、PやAs、B等をドーピングすればよい。具体的には、前記工程4においてCVD中にPH₃を加えたり、前記工程4～工程6のいずれかの工程においてイオン注入を行ったり、前記工程4においてPOCl₃により熱拡散させる。

【0016】以上のように、本発明にあつては、前記工程4において多結晶シリコンの膜厚を変化させるだけで、0.5 μ m以下であっても所望の線幅を得ることができる。実施例では、配線としてゲート電極パターンの形成を例としたが、ビットラインや信号線等のラインパターン等全てのパターン形成に適用できる。

【0017】次に、この実施例の技術を、マスクパター

ン形成のために応用した第2の実施例を図2乃至図4に基づいて説明する。図2乃至図4は本実施例における半導体装置の製造プロセスを順次示した断面図である。

工程①：半導体基板9上に、熱酸化法やCVD法等によりシリコン酸化膜10を形成すると共に、局所酸化法（LOCOS）によりフィールド酸化膜11を形成する（図2A）。

【0018】工程②：工程①で作成した基板の表面全体に減圧CVD法により、膜厚0.3 μ m程度の多結晶シリコン膜12を堆積させ、リン（P）をドーピングして導電性を与える（図2B）。

工程③：前記多結晶シリコン膜12に対し、エッチング選択比の高いシリコン酸化膜13をCVD法により0.5 μ m堆積させる（図2C）。

【0019】工程④：リソグラフィ技術、露光、現像等の作業を経て前記シリコン酸化膜13の上に、レジスト14のパターニングを形成する。この時、前記レジスト14のライン部を前記フィールド酸化膜11の上部に位置させ且つその幅を酸化膜11よりも大きく設定しておく（即ち、ライン部が酸化膜11を跨ぐように形成する、但し、所望のライン部のみでよい）（図2D）。

【0020】工程⑤：レジスト14をマスクとして、RIE法により前記シリコン酸化膜13を異方性エッチングした後、酸素プラズマアッシングや熱硫酸を用いたウェット処理等によりレジストを除去し、前記シリコン酸化膜13を島形状に加工する（以下、島形状部13aという）。この島形状部13aは当然前記レジスト14のライン部と同じ幅を有する（図3E）。

【0021】工程⑥：前記多結晶シリコン膜12及び島形状部13aの上に、減圧CVD法によりシリコン窒化膜15を0.1 μ m堆積させる。（図3F）

工程⑦：RIE法によりこのシリコン窒化膜15をエッチバック処理し、前記島形状部13aの側面のみ、シリコン窒化膜材からなる幅0.1 μ mの側壁16を形成する（図3G）。

【0022】工程⑧：希釈フッ酸等を用いたウェット処理等により前記島形状部13a（シリコン酸化膜13）を除去すると、前記多結晶シリコン膜12上にシリコン窒化膜材からなる幅0.1 μ mのマスクパターン17（側壁16）が形成される（図3H）。

工程⑨：このマスクパターン17をマスクとして、RIE法により前記多結晶シリコン膜12を異方性エッチングした（図4I）後、マスクパターン17を熱燐酸等を用いて除去すると、前記ゲート酸化膜としてのシリコン酸化膜10上に、幅0.1 μ mの多結晶シリコン材からなるゲート電極18が形成される（図4J）。

【0023】以上のように、本発明にあつては、工程⑥においてシリコン窒化膜の膜厚を変化させるだけで、0.5 μ m以下であっても所望のマスクパターンを得ることができる。尚、この第2実施例では、多結晶シリコ

ン上に微細マスクパターンを形成し、微細幅のゲート電極を加工する例を示したが、例えば、スタック型キャパシタの下部電極上に形成して、下部電極をエッチングし、その表面積を拡大させる等、応用方法は様々である。

【0024】

【発明の効果】本発明の半導体装置の製造方法にあつては、従来の光リソグラフィ技術でもって、その限界を越えた微細幅の配線パターン又はマスクパターンを形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の製造プロセスを順次示した断面図である。

【図2】本発明の第2の実施例における半導体装置の製造プロセスを順次示した断面図である。

【図3】本発明の第2の実施例における半導体装置の製

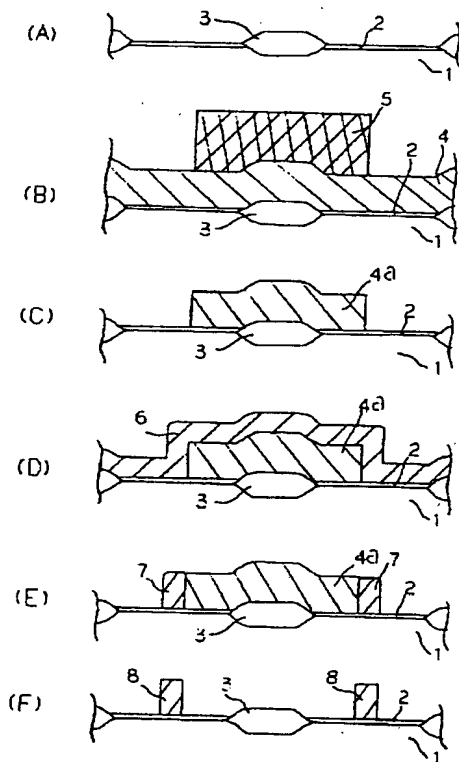
造プロセスを順次示した断面図である。

【図4】本発明の第2の実施例における半導体装置の製造プロセスを順次示した断面図である。

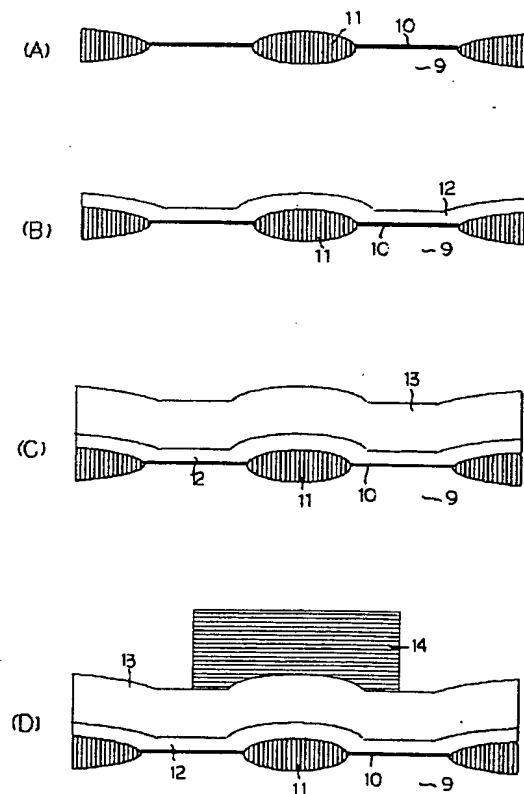
【符号の説明】

- 1、9 半導体基板
- 4 シリコン窒化膜（異なる材料からなる層）
- 4a 島形状部
- 6 多結晶シリコン膜（配線となる層）
- 7、16 側壁
- 10 8 ゲート電極パターン（配線）
- 12 多結晶シリコン膜（被エッチング領域）
- 13 シリコン酸化膜（異なる材料からなる層）
- 13a 島形状部
- 15 シリコン窒化膜（マスクパターンとなる層）
- 17 マスクパターン

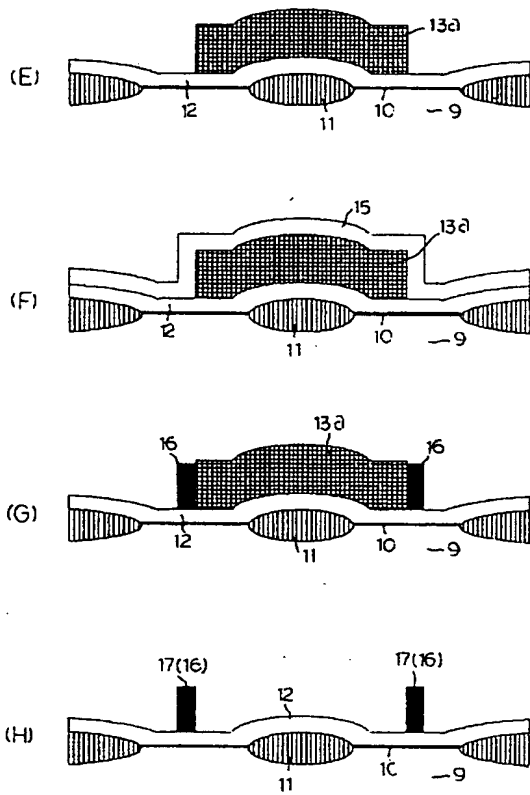
【図1】



【図2】



【図3】



【図4】

